

SEMICONDUCTOR STORAGE DEVICE

Patent Number: JP3022476
Publication date: 1991-01-30
Inventor(s): KIMURA TAKEMI
Applicant(s): NEC CORP
Requested Patent: ☐ JP3022476
Application Number: JP19890157668 19890619
Priority Number(s):
IPC Classification: H01L27/108; H01L27/11
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent occurrence of a soft error and latch-up substantially and to improve reliability by a method wherein a well region wherein a storage cell is formed is made to be shallower than a well region in the area of a peripheral circuit thereof and to have a high impurity concentration.

CONSTITUTION: In an N-type silicon substrate 101 having a carrier concentration of about $1 \times 10^{15} \text{ cm}^{-3}$, for instance, a first P-type well region 102 having a depth of 8 μm and a carrier concentration of about $2 \times 10^{16} \text{ cm}^{-3}$ and a second P-type well region 103 having a depth of 2.5 μm and a carrier concentration of about $5 \times 10^{16} \text{ cm}^{-3}$ are provided. Numeral 104 denotes a channel stopper, 105 a field silicon oxide film, 106 a gate silicon oxide film, 107 a gate electrode, 108, 108' N-type source-drain regions, and 109 a P-type sourcedrain region. Herein an nMOS transistor constituting a CMOS peripheral circuit for driving a storage cell and conducting input-output is disposed in the second well region 103, while an nMOS transistor constituting the storage cell is disposed in the first well region 102.

Data supplied from the esp@cenet database - I2



Deutsches Patent- und Markenamt

DEPATISnet

[Home](#) · [What's new](#) · [Introduction](#) · [Contact](#) · [Links](#) · [Help](#) · [Impressum](#) · [Search](#) · [IPC](#)[Family > result list](#)[Beginner](#) | [Expert](#) | [Ikofox](#) | [Familien](#)

Search query:

JP0003022476AA

Hits: 1 (Total hits: 1)

Result list:

No. Publication number Title

1 [JP0003022476AA](#) [] SEMICONDUCTOR STORAGE DEVICE[Display PDF](#) [Patent family search](#)[Search](#)

|< < > >|

© DPMA 2001

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-22476

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月30日

H 01 L 27/108
27/11
// H 01 L 27/08

3 3 1 D

7735-5F
8624-5F
8624-5F

H 01 L 27/10

3 2 5 R
3 8 1

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 平1-157668

⑰ 出 願 平1(1989)6月19日

⑱ 発 明 者 木 村 岳 見 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半導体記憶装置

特 許 請 求 の 範 囲

第1導電型半導体基板に設けられた第2導電型の第1ウェル領域及び第2導電型の第2ウェル領域を有し、前記第1ウェル領域に第1導電型のMOSトランジスタを含む記憶セルを設け、前記第2ウェル領域に前記記憶セルを駆動し信号の入出力を行なうCMOS周辺回路用の第1導電型のMOSトランジスタを設けてなる半導体記憶装置において、前記第1ウェル領域は前記第2ウェル領域より深さが浅く不純物濃度が高いことを特徴とする半導体記憶装置。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は半導体記憶装置に関し、特にCMOS

ダイナミックまたはスタティックメモリ装置のウェル構造に関するものである。

(従来の技術)

従来、この種の半導体記憶装置は、記憶セル領域とそれ以外の周辺回路領域のウェルを同時に形成していたため記憶セル領域と周辺回路領域のウェルは同じ濃度、同じ深さとなっていた。すなわち、第3図に示すように、記憶セルはP型の第1ウェル領域2にnMOSトランジスタを含む記憶セルを設け、第1ウェル領域2と深さ及び不純物濃度が同じのP型の第2ウェル領域にCMOS周辺回路用のnMOSトランジスタを設けていた。

(発明が解決しようとする課題)

近年素子の微細化が進み、半導体記憶装置の記憶セルも小型化されてきている。これにつれてSRAM記憶セルの節点容量やダイナミック記憶セルの容量も小さくなっており、ソフトエラーに弱くなってきている。この対策としては、ウェルの不純物濃度を増やして拡散層容量を増やすこと、ウェルの深さを浅くすること等が考えられる

が、上述した従来の半導体記憶装置は、記憶セル領域と周辺回路領域のウェルが同じ不純物濃度、同じ深さとなっているのでウェルの不純物濃度を増やすと周辺回路部でも寄生容量が加し、装置の高速性が損われる事になる。一方ウェルの深さを浅くすると寄生バイポーラトランジスタのベース抵抗が増えるためラッチアップ耐量が下がるという欠点がある。

〔課題を解決するための手段〕

本発明は、第1導電型半導体基板に設けられた第2導電型の第1ウェル領域及び第2導電型の第2ウェル領域を有し、前記第1ウェル領域に第1導電型のMOSトランジスタを含む記憶セルを設け、前記第2ウェル領域に前記記憶セルを駆動し信号の入出力を行なうCMOS周辺回路用の第1導電型のMOSトランジスタを設けてなる半導体記憶装置において、前記第1ウェル領域は前記第2ウェル領域より深さが浅く不純物濃度が高いというものである。

〔実施例〕

- 3 -

ル領域103に、記憶セルを構成するnMOSTランジスタを第1ウェル領域102に配置する。この様な構造にすれば、記憶セルを構成するトランジスタは浅く、かつ高濃度である第1ウェル領域に作られているため記憶セルの容量を増す事ができる。又、 α 線が入射した場合記憶セルのN型拡散層108'にとらえられる電荷の量は第2図に示す様にP型のウェル領域の深さに依存し、ウェル領域が浅いほど少なくなるが第1ウェル領域102の深さは2.5 μ m程度であり、周辺回路領域の第1ウェル領域と同じ深さにした場合に比べて収集電荷量は40%程度となる。このため浅い第1ウェル領域102に記憶セルを形成した場合、従来通り周辺回路領域と同じ濃度、同じ深さのウェル領域に記憶セルを形成した場合に比べソフトエラー耐性を飛躍的に向上させる事ができる。また本発明によれば周辺回路を構成するnMOSTランジスタは濃度が薄く深い第2ウェル領域に作る事ができるため寄生容量を減らす事ができ高速動作が実現できるとともに、寄生バイポ

- 5 -

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示す半導体チップの縦断面図である。

この第1図において101はキャリア濃度 $1 \times 10^{15} \text{cm}^{-3}$ 程度のN型シリコン基板、102は深さ8 μ m、キャリア濃度 $2 \times 10^{16} \text{cm}^{-3}$ 程度のP型の第1Pウェル領域、103は深さ2.5 μ m、キャリア濃度 $5 \times 10^{16} \text{cm}^{-3}$ 程度のP型の第2ウェル領域、104はキャリア濃度 10^{17}cm^{-3} 程度のチャネルストップ、105は膜厚60nmのフィールド酸化シリコン膜、106は膜厚200nm程度のゲート酸化シリコン膜、107は多結晶シリコンからなるゲート電極、108、108'は深さ250nm、キャリア濃度 10^{20}cm^{-3} 程度のN型ソース・ドレイン領域、109は深さ300nm、キャリア濃度 10^{20}cm^{-3} 程度のP型ソース・ドレイン領域である。ここで、記憶セルを駆動し、入出力を行うためのCMOS周辺回路を構成するnMOSTランジスタを第2ウェ

- 4 -

ーラトランジスタのベース抵抗も低くできラッチアップも起こりにくくする事ができる。さらに本発明ではメモリセルを形成するウェル領域を浅くしているため高不純物濃度とした場合でもウェル領域を作るためのイオン注入量は少なくて良いためイオン注入のダメージが少なく、記憶セル部のジャンクション漏れ電流を低減できホールド不良を少なくできる。

〔発明の効果〕

以上説明したように本発明によれば、記憶セルが形成されるウェル領域をその周辺回路領域のウェル領域に比べ浅く高不純物濃度にする事によりソフトエラー、ラッチアップの起こりにくい、高信頼性を有する半導体記憶装置を提供する事ができる効果がある。

図面の簡単な説明

第1図は本発明の一実施例を示す半導体チップの縦断面図、第2図は α 線が垂直に入射したと仮定したときPウェル領域内のN型拡散層に α 線に

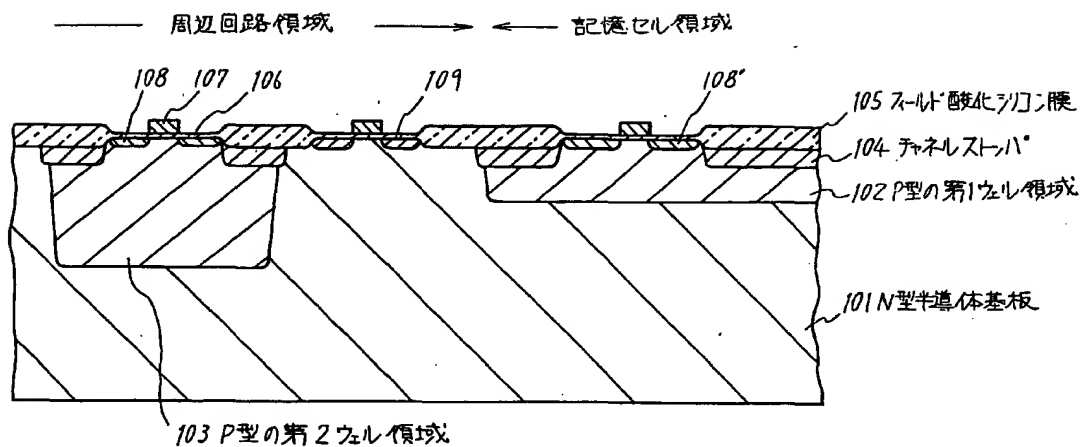
- 6 -

より発生した電子がとらえられる割合のPウェル深さ依存性を示す特性図、第3図は従来例を示す半導体チップの縦断面図である。

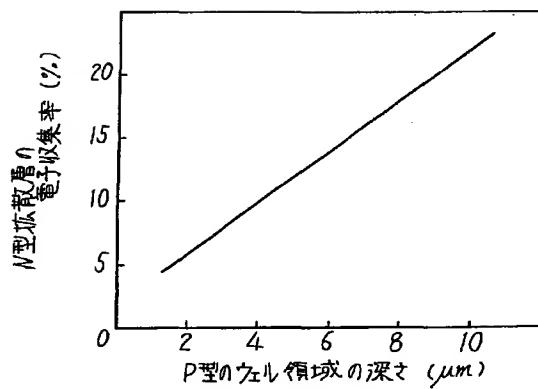
1, 101...N型半導体基板、2, 102...P型の第1ウェル領域、3, 103...P型の第2ウェル領域、4, 104...チャネルストップバ、5, 105...フィールド酸化シリコン膜、6, 106...ゲート酸化シリコン膜、7, 107...ゲート電極、8, 108, 108'...N型ソース・ドレイン領域、9, 109...P型ソース・ドレイン領域。

代理人 井理士 内 原 晋

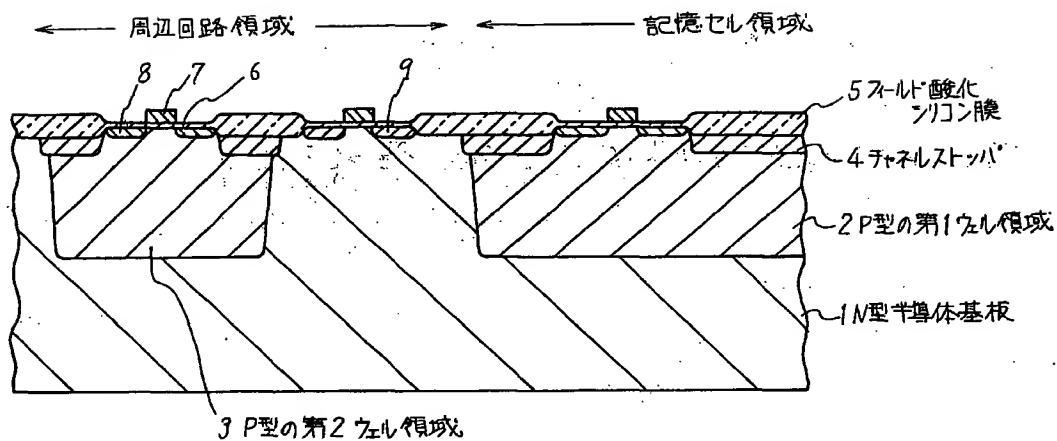
- 7 -



第 1 図



第 2 図



第 3 図